

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-335383

(43)Date of publication of application : 18.12.1998

(51)Int.Cl.

H01L 21/60

H01S 3/18

(21)Application number : 09-138903

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 28.05.1997

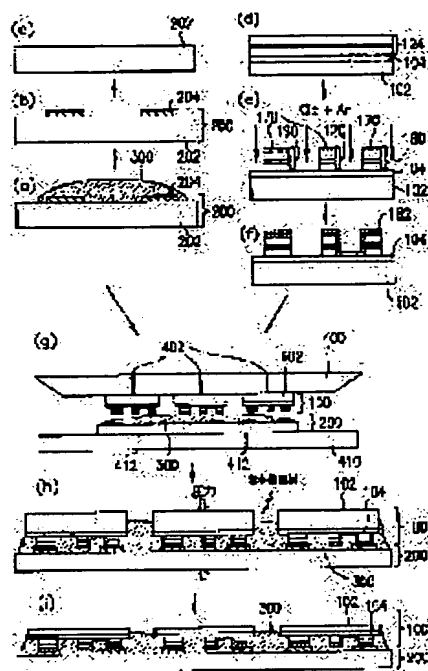
(72)Inventor : CHINO TOYOJI  
YOSHIDA TAKAYUKI  
MATSUDA KENICHI

## (54) PRODUCING METHOD FOR SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for efficiently processing the rear faces of a large number of semiconductor chips.

SOLUTION: A semiconductor chip or a submount 200 is coated (1st step) with resins. Next, the semiconductor chip and the submount 200 are pressed (2nd step) so as to practically cover a 1st surface with resins, while electrically conducting the semiconductor chip and the submount 200 after the 1st step. After the 2nd step, next, at least one of filming, etching, patterning and cleaning is performed (3rd step) on a 2nd surface of the semiconductor chip.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-335383

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/60

H 0 1 S 3/18

識別記号

3 1 1

F I

H 0 1 L 21/60

H 0 1 S 3/18

3 1 1 S

審査請求 未請求 請求項の数7 O L (全 17 頁)

(21) 出願番号 特願平9-138903

(22) 出願日 平成9年(1997)5月28日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 知野 豊治

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 吉田 隆幸

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 松田 賢一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

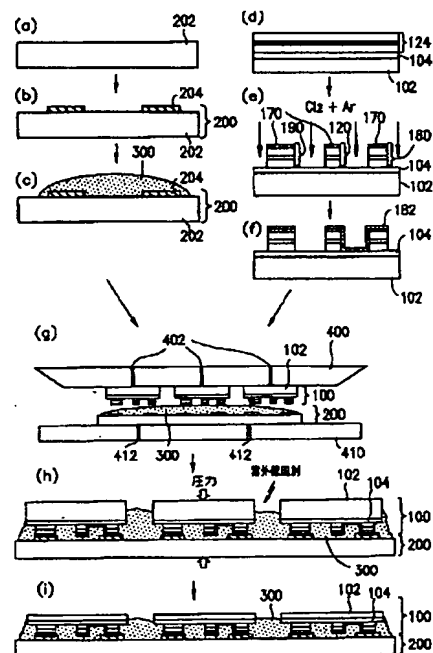
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 多数個の半導体チップの裏面を効率的に処理する方法を提供する。

【解決手段】 樹脂を半導体チップまたはサブマウントに塗布する第1ステップと、第1ステップの後において、半導体チップおよびサブマウントが電氣的に導通するように、かつ樹脂が第1表面を実質的に覆うように、半導体チップおよびサブマウントに圧力を加える第2ステップと、第2ステップの後において、成膜、エッチング、パターニングおよび洗浄のうちの少なくとも1つを半導体チップの第2表面に施す第3ステップと、を包含する。



## 【特許請求の範囲】

【請求項1】 互いに実質的に平行な第1表面および第2表面を有する半導体チップを、該第1表面がサブマウントに対向するように、該サブマウント上に実装することによって半導体装置を製造する方法であって、樹脂を該半導体チップまたは該サブマウントに塗布する第1ステップと、  
 該第1ステップの後において、該半導体チップおよび該サブマウントが電氣的に導通するように、かつ該樹脂が該第1表面を実質的に覆うように、該半導体チップおよび該サブマウントに圧力を加える第2ステップと、  
 該第2ステップの後において、成膜、エッチング、パターンニングおよび洗浄のうちの少なくとも1つを該半導体チップの該第2表面に施す第3ステップと、を包含する半導体装置の製造方法。

【請求項2】 前記第2ステップおよび前記第3ステップのあいだにおいて、前記半導体チップの特性を検査するステップをおこなう請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第3ステップによって、前記第2表面上に別の半導体装置を形成する請求項1に記載の半導体装置の製造方法。

【請求項4】 前記第3ステップの後において、前記第2表面上に生じた酸化膜を除去する第4ステップと、前記半導体チップと、別の半導体チップとを該第2表面上において原子層接合する第5ステップと、をさらに包含する請求項1に記載の半導体装置の製造方法。

【請求項5】 前記第5ステップによって、前記第2表面上に別の半導体装置を形成する請求項4に記載の半導体装置の製造方法。

【請求項6】 前記サブマウント上に複数の前記半導体チップを実質的に同時に配置するステップをさらに包含する請求項1に記載の半導体装置の製造方法。

【請求項7】 前記第1表面または前記サブマウント上に低融点金属を形成するステップと、  
 該低融点金属を融点近傍の温度に加熱するステップと、  
 をさらに包含する請求項1に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に半導体チップを基板に実装した後に半導体チップを加工する半導体装置の製造方法に関する。

【0002】

【従来の技術】基板上に複数の半導体チップを搭載して構成される従来の技術による半導体装置の一例は、例えば、フォトリソテクノロジー・レターズ第7巻(1995年)、第4号第360～362ページ(Photonics Technology Letters, vol. 7, No. 4, pp. 360-362(1995

5)に示されている。この従来技術は、CMOSトランジスタが予め形成されたSi基板上に数十個のGaAs多重量子井戸光変調器(以下、「光変調器」とする)をハイブリッドに集積する。光変調器は、Si基板上のCMOSトランジスタによりバイアス電圧が加えられることによって、光変調器裏面からの入力光に対して反射率に変化し、その結果、反射光強度を変化させる。つまり光変調器は、バイアス電圧を変調することで反射光強度を変調させて、それにより信号処理をおこなう。

【0003】図18は、従来の技術による半導体装置製造方法を示す工程断面図である。まず図18の(a)に示すように、Si基板上に形成されたCMOSトランジスタ1805と、GaAs基板1802上に形成された光変調器1801との上にPb/Sn半田1803を所定の形状に形成する。

【0004】次に図18の(b)に示すように、Pb/Sn半田1803どうしを溶融させて接着する。この後、図18の(c)に示すように、エポキシ樹脂1806を100℃に加熱して、その粘性を低下させることによって、CMOSトランジスタ1805が形成されているSi基板と光変調器1801との隙間に流し込む。

【0005】その後、図18の(d)に示すように、光変調器1801が形成されているGaAs基板1802をウェットエッチングによって除去する。CMOSトランジスタ1805が形成されているSi基板と、光変調器1801との隙間のエポキシ樹脂1806は、ウェットエッチングの際に光変調器1801の表面をエッチング液から保護する層になる。GaAs基板1802が除去された光変調器1801の面に反射防止膜を堆積して製造工程を終了する。

【0006】

【発明が解決しようとする課題】しかし上述の従来技術によれば、エポキシ樹脂の粘性を低下させて、隙間を埋める。そのため、加熱の温度制御を精密におこなう必要がある。また従来技術によれば、エポキシ樹脂中に隙間(微小な気泡)が生じることがある。そのため、ウェットエッチングをおこなうときに、実装された基板表面がエッチングされることも起こりうる。本発明は、上記課題を解決するためになされたものであり、その目的は、半導体チップの裏面加工を効率的におこなえる半導体装置の製造方法を提供することにある。

【0007】

【課題を解決するための手段】本発明による半導体装置の製造方法は、互いに実質的に平行な第1表面および第2表面を有する半導体チップを、該第1表面がサブマウントに対向するように、該サブマウント上に実装することによって半導体装置を製造する方法であって、樹脂を該半導体チップまたは該サブマウントに塗布する第1ステップと、該第1ステップの後において、該半導体チップおよび該サブマウントが電氣的に導通するように、か

つ該樹脂が該第1表面を実質的に覆うように、該半導体チップおよび該サブマウントに圧力を加える第2ステップと、該第2ステップの後において、成膜、エッチング、パターニングおよび洗浄のうちの少なくとも1つを該半導体チップの該第2表面に施す第3ステップと、を包含しており、そのことにより上記目的が達成される。

【0008】ある実施形態では、前記第2ステップおよび前記第3ステップのあいだにおいて、前記半導体チップの特性を検査するステップをおこなう。

【0009】ある実施形態では、前記第3ステップによって、前記第2表面上に別の半導体装置を形成する。

【0010】ある実施形態では、前記第3ステップの後において、前記第2表面上に生じた酸化膜を除去する第4ステップと、前記半導体チップと、別の半導体チップとを該第2表面上において原子層接合する第5ステップと、をさらに包含する。

【0011】ある実施形態では、前記第5ステップによって、前記第2表面上に別の半導体装置を形成する。

【0012】ある実施形態では、前記サブマウント上に複数の前記半導体チップを実質的に同時に配置するステップをさらに包含する。

【0013】ある実施形態では、前記第1表面または前記サブマウント上に低融点金属を形成するステップと、該低融点金属を融点近傍の温度に加熱するステップと、をさらに包含する。

【0014】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。図面において同じ参照符号は、同じ構成要素を示す。

【0015】（実施の形態1）まず、図1および図2を参照しながら、本発明による方法の実施の形態1によって製造された半導体装置の構造を説明する。

【0016】図1は、本発明による方法の実施の形態1によって製造された半導体装置10の概略図である。Siサブマウント200上には、数十個の面発光レーザチップ100が実装されている。面発光レーザチップ100は、互いに実質的に平行な2つの面を有している。面発光レーザチップ100のこれら2面のうち一方の面は、Siサブマウント200の表面に接触している。本明細書において、面発光レーザチップ100の「裏面」とは、これら2面のうち面発光レーザチップ100がSiサブマウント200に接触する面に反対側の面をいう。

【0017】後で詳述するように、図1に示す一枚の大口径基板に多数のチップを実装し、その後実装されたチップにある種の加工を施すことによって、従来においてはチップの個数分だけ施さなければならなかった処理工程数を一挙に低減できる。面発光レーザチップ100の裏面への処理を一括しておこなった後に、サブマウント200をスクライプすれば、工程の簡略化に大きく寄

与する。

【0018】面発光レーザチップ100の裏面には、レーザ光を取り出すための裏面ガイド穴106が形成されている。この裏面ガイド穴106は、レーザ光が、面発光レーザチップ100を形成するGaAs基板に吸収および散乱されるのを防止する。また裏面ガイド穴106は、GaAs基板の表面に形成された面発光レーザと同芯円状に形成されており、光ファイバと面発光レーザとを結合させる際に、位置合わせを容易にする効果をも併せもつ。裏面ガイド穴106は、面発光レーザチップ100がSiサブマウント200上に実装された後に、面発光レーザチップ100の裏面に形成される。

【0019】後述する面発光レーザは、GaAs基板上にその外縁がほぼ円形になるように形成されており、その円の直径は、例えば、約5 $\mu$ m〜約50 $\mu$ mである。裏面ガイド穴106の直径は130 $\mu$ mである。この直径は、裏面ガイド穴106に挿入する光ファイバの直径が125 $\mu$ mであり、5 $\mu$ mのマージンを考慮して決められている。

【0020】図2は、本発明による方法の実施の形態1によって製造された半導体装置10のうちの1つの面発光レーザチップ100の近傍の断面図である。Siサブマウント200のSi基板202上には、配線204が所定の形状に加工されている。配線204は、例えば、Au単体またはAuを含む複数層の金属で形成されるが、これには限られない。面発光レーザチップ100は、後で詳述するようにSiサブマウント200上にフリップチップ実装されている。

【0021】面発光レーザチップ100は、GaAs基板102と、GaAs基板102上に形成された面発光レーザ120とを含む。面発光レーザ120は、GaAs基板204上にエッチングストップ層104を介して形成されたp型ブラッグ反射器130、活性層140、n型ブラッグ反射器160および電極170を備えている。p型ブラッグ反射器130は、p-AlAs132およびp-GaAs134を2.5対積層して構成されている。n型ブラッグ反射器160は、導電型がn型であること以外は、p型ブラッグ反射器130と同様の構造を有する。

【0022】活性層140は、n-AlGaAs142、AlGaAs144、GaAs146、InGaAs148、GaAs150、AlGaAs152およびp-AlGaAs154を備えている。活性層140で発生した光は、p型ブラッグ反射器130およびn型ブラッグ反射器160により閉じ込められ、レーザ発振に至る。

【0023】上述の面発光レーザ120を構成するp型ブラッグ反射器130、活性層140およびn型ブラッグ反射器160は、例示のためであって、それらの具体的な構成は、上述のものに限られない。活性層と、活性

層を間に挟む2つの反射器とを少なくとも有する面発光レーザであれば、本発明に適用することができる。

【0024】フリップチップ実装の際、面発光レーザ120がSi基板202に接触しないようにマイクロバンプ180およびコモンアノードマイクロバンプ190が形成されている。具体的には、面発光レーザ120およびSi基板202の間隔は、配線204の厚さにはほぼ等しく、例えば、約0.5μm〜約3μmの範囲にある。面発光レーザ120は、Ti/Au配線182を通して

10 マイクロバンプ180に電氣的に接続されている。Ti/Au配線182は、ある程度の機械的強度と電気抵抗の低さが必要であるために、TiおよびAuの2層を用いているが、これには限られない。Ti/Au配線182の代替の材料としては、例えば、Ti単体、Au単体、Pt/Au、Ti/Ptおよびこれらの組み合わせ、またはTiN合金がある。

【0025】面発光レーザ120に対向するGaAs基板102が除去されることによって、裏面ガイド穴106が面発光レーザ120と同芯円状に形成されている。反射防止膜108は、レーザ光の出射口およびGaAs

20 基板102上に堆積される。なお、裏面ガイド穴106は、エッチングストップ層104をその底面としている。裏面ガイド穴106が作られることによって、上述したようにレーザ光のGaAs基板102による吸収、散乱がなくなる。また、裏面ガイド穴106は、光ファイバを面発光レーザ120と結合させる際のガイドとして機能するのでファイバ結合が非常に容易になる。裏面ガイド穴106の側面は、好ましくは、逆円錐台の形状を有する。このときこの逆円錐台の母線と、GaAs基板102とがなす角度は、好ましくは、約70°〜約85°である。もちろん裏面ガイド穴106は、円柱形であってよい。

【0026】紫外線硬化樹脂300は、面発光レーザチップ100およびSiサブマウント200の間の空間を実質的に充填しており、その結果、面発光レーザ120の表面が大気に触れないように遮断する。これにより、面発光レーザ120の経時的な特性劣化が防止できる。

【0027】次に本発明の半導体装置の製造方法を図3および図4を参照しながら説明する。図3および図4は、本発明による半導体装置の製造方法の実施の形態1

40 のステップを示す図である。

【0028】図3のステップ(a)において、Si基板202に前処理を施す。この前処理は、典型的には、水洗および有機溶剤による洗浄である。

【0029】図3のステップ(b)において、前処理が施されたSi基板202上にAu単体またはAuを含む複数の金属層からなる配線204を所定の形状に形成し、Siサブマウント200を形成する。配線204は、面発光レーザチップ100のマイクロバンプと、Siサブマウント200上のパッド（不図示）とを電氣的に接続

する。半導体装置10がパッケージに封止される前には、このパッドと、接続ピンとがワイヤボンディングによって電氣的に接続される。配線204が形成された状態でSiサブマウント200を水洗・乾燥し、表面の異物を除去する。付着したものが有機物の場合、水洗の代わりに、有機溶剤によって洗浄してもよい。

【0030】図3のステップ(c)において、Siサブマウント200上に紫外線硬化樹脂300を塗布する。ステップ(c)においては、紫外線硬化樹脂300は、液体状である。ここで「塗布」とは、紫外線硬化樹脂300がSiサブマウント200上の所望の範囲を覆うように付着させることを意味する。したがって、本明細書における「塗布」は、吹き付けや滴下などによって付着させることを含む。

【0031】図3のステップ(d)において、GaAs基板102上にエッチングストップ層104および結晶成長層124をこの順に分子線ビーム成長法(MBE)または有機金属気相成長法(MOVPE)により形成する。

【0032】図3のステップ(e)において、結晶成長層124上に所定の配列形状をもつ電極170を形成する。電極170をマスクとして、塩素およびアルゴンの混合ガスを用いたドライエッチングをおこなうことによって、面発光レーザ120、マイクロバンプ180およびコモンアノードマイクロバンプ190を形成する。マイクロバンプ180およびコモンアノードマイクロバンプ190を形成する方法は、好ましくは、ドライエッチングであるが、これには限られず、例えば、硫酸、過酸化水素水および水の混合液を用いたウェットエッチングであってよい。

【0033】図3のステップ(f)において、面発光レーザ120をマイクロバンプ180にTi/Au配線182を用いて配線することによって、面発光レーザチップ100を形成する。次に面発光レーザチップ100に水洗・乾燥を施し、表面の異物を除去する。付着したものが有機物の場合、水洗の代わりに、有機溶剤によって洗浄してもよい。

【0034】図3のステップ(g)において、好ましくは複数個の面発光レーザチップ100と、Siサブマウント200とを互に対向させて、位置合わせをおこなう。面発光レーザチップ100は、吸気口402を有する吸着ツール400上に、その裏面を真空吸着されて固定される。紫外線硬化樹脂300が滴下されたSiサブマウント200は、吸気口412を有する吸着台座410上に真空吸着されて固定される。吸気口402および412は、真空ポンプ（不図示）に連通しており、負圧によってそれぞれ面発光レーザチップ100およびSiサブマウント200を吸着する。以下の図面ではこれらの吸気口402および412の図示は省略される。典型的には、吸着ツール400の面積は、面発光レーザチッ

ブ100の面積よりも大きい。吸着ツール400には、複数の面発光レーザチップ100が吸着され、吸着台座410には、複数の面発光レーザチップ100に対応する配線204が設けられたSiサブマウント200が吸着される。製造プロセスのスループット向上のためには、吸着ツール400に吸着される面発光レーザチップ100の個数は、好ましくは、約10個以上であるが、1個であってもよい。

【0035】図3のステップ(h)において、面発光レーザチップ100およびSiサブマウント200は、互いに近接する向きの圧力が加えられながら、紫外線が照射される。図3のステップ(h)以降では、吸着ツール400および吸着台座410を省略して図示する。圧力を加えるには、例えば、吸着ツール400を吸着台座410に押し付ければよい。この圧力によって、マイクロバンプ180およびカソードマイクロバンプ190と、配線204との間にある樹脂がこれらの上から押し出され、面発光レーザチップ100およびSiサブマウント200は、互いに電氣的に導通し、かつ紫外線硬化樹脂300は、面発光レーザチップ100のSiサブマウント200に対向する面を実質的に覆うように充填される。電氣的な導通および紫外線硬化樹脂の充填のためには、加えられる圧力は、好ましくは約 $3 \times 10^4$  (N/m<sup>2</sup>) ~ 約 $2 \times 10^5$  (N/m<sup>2</sup>) の範囲にあり、より好ましくは約 $5 \times 10^4$  (N/m<sup>2</sup>) ~ 約 $7 \times 10^4$  (N/m<sup>2</sup>) の範囲にある。典型的には、圧力は、約20秒~約10分のあいだ加えられる。紫外線硬化樹脂300が紫外線を受けて硬化することによって、面発光レーザチップ100およびSiサブマウント200は互いに接着される。

【0036】図3のステップ(i)において、面発光レーザチップ100のGaAs基板102は、硫酸、過酸化水素水および水の混合液によってエッチングされ、GaAs基板102の厚さが約15 μmになったときにエッチングを終了する。

【0037】次のステップである図4のステップ(a)に移る前に、この段階において、実装された面発光レーザチップ100の特性を検査することが好ましい。典型的には、マイクロバンプ180に電氣的に接続されたSiサブマウント200上の配線、カソードマイクロバンプ190に電氣的に接続されたSiサブマウント200上の配線、または検査用パッド(図示せず)上に、テスト(特性検査機器)のプローブを立てた状態で面発光レーザ120を発光させる。面発光レーザ120の発光状態は、フォトディテクタ(図示せず)によって検知され、その特性が測定される。上述の特性検査においては、典型的には、発光特性だけでなく直流特性も検査される。

【0038】本発明の方法によれば、面発光レーザチップ100をSiサブマウント200上に実装したまま、面発光レーザ120の特性をチェックすることができる。この特性検査の結果、所望の特性を示さないこと

が判明した面発光レーザ120を含む面発光レーザチップ100は、図4のステップ(c)の後で、不良品として製造ラインから除かれる。

【0039】図3のステップ(i)の次におこなわれる、図4のステップ(a)において、面発光レーザチップ100の裏面にSiO<sub>2</sub>膜310を堆積した後、通常のフォトリソを用いた工程により、SiO<sub>2</sub>膜310を所定の形状に加工する。

【0040】図4のステップ(b)において、約15 μmの厚さのGaAs基板102は、SiO<sub>2</sub>膜310をマスクとして、塩素ガスをを用いた反応性イオンビームエッチングによりエッチングされる。この反応性イオンビームエッチングは、エッチングストップ層104で停止する。その結果、面発光レーザ120に対向するエッチングストップ層104の裏側の面に裏面ガイド穴106が形成される。

【0041】図4のステップ(c)において、面発光レーザチップ100の裏面に反射防止膜108を堆積する。反射防止膜108は、面発光レーザ120からレーザ光を効率よく取り出すために設けられる。

【0042】図4のステップ(c)の後、一体化された面発光レーザチップ100が実装されたSiサブマウント200は、スクライブラインに沿って切断される。複数の面発光レーザチップ100を備えた半導体装置を製造する場合は、複数の面発光レーザチップ100を含むSiサブマウント200を単一のチップとして切り出し、単一の面発光レーザチップ100を備えた半導体装置を製造する場合は、単一の面発光レーザチップ100を含むSiサブマウント200を単一のチップとして切り出す。

【0043】切断されたチップのうち、良品チップは、パッケージにマウントされ、チップと外部ピンとが金属ワイヤによって電氣的に接続される。最後にパッケージが封止される。

【0044】以上のように製造された面発光レーザチップ100は、Siサブマウント200のために放熱性が向上し、かつ表面が覆われて大気から遮断されているので信頼性も向上する。また、裏面ガイド穴106は、出力光の基板による吸収、散乱を防止するだけでなく、光ファイバと面発光レーザ120との結合を容易にすることができる。

【0045】本実施の形態では、図3のステップ(i)においてエッチングを、図4のステップ(a)においてパターンニングを、図4の(b)においてエッチングをおこなう。しかし、これには限られず、成膜、エッチング、パターンニングおよび洗浄のうちの少なくとも1つを面発光レーザチップ100のSiサブマウント200に対向する面と反対側の面に施せば本発明の効果は得られる。

【0046】ここで本明細書における「成膜」、「エッチング」、「パターンニング」および「洗浄」の定義を以

下におこなう。「成膜」とは、典型的には、MBEまたはMOVPEによる膜の堆積をいうが、これには限られない。成膜によって、例えば、誘電体膜、酸化膜、反射防止膜が形成される。

【0047】「エッチング」は、ウエハ上に形成された膜をすべて除去する工程、および典型的にはリソグラフィ技術で作られたレジストパターンで覆われている部分以外の部分を選択的に除去する工程を含む。またここでいうエッチングは、化学薬品（例えば酸）によるウェットエッチング、およびガス中でおこなうドライエッチングを含む。

【0048】「パターニング」は、設計された回路パターンをマスクにする工程、およびこのマスクのパターンをウエハ上に転写するレジスト工程を含む。

【0049】「洗浄」は、典型的には、水を用いて表面の異物を除去する工程であるが、特に除去すべき異物が有機物なら有機溶剤による洗浄であってもよい。また洗浄と併せて、乾燥工程がおこなわれてもよい。

【0050】本発明による半導体装置の製造方法によれば、図3のステップ(a)～(h)を典型的に包含するマイクロバンプボンディング（以下「MBB」とする）法の後に、成膜、エッチング、パターニングおよび洗浄のうちの少なくとも1つを面発光レーザチップ100のSiサブマウント200に対向する面と反対側の面に施す。これにより、多数個（例えば100～1000個のオーダー）の半導体チップの裏面を同時に処理できるので、特性の均一化、歩留まりの向上、低コスト化が図れる。また半導体チップの裏面の処理をおこなうときには、半導体チップそのものではなく、半導体チップがマウントされたサブマウントを固定すればよい。これにより製造システムに要求される位置決め精度などが大幅に緩和され、より効率的な製造が実現できる。

【0051】本実施の形態においては、面発光レーザチップをサブマウント上に複数個形成したが、これには限られず例えば、複数の電界効果トランジスタ、MOSトランジスタ、バイポーラトランジスタを形成してもよい。またサブマウントの材質は、典型的にはSiであるが、これには限られず、ガラス、AlN、Al<sub>2</sub>O<sub>3</sub>またはSiO<sub>2</sub>が成膜されたSiであってもよい。

【0052】（実施の形態2）図5は、本発明による方法の実施の形態2によって製造された半導体装置20のうちの1つの面発光レーザチップ100の近傍の断面図である。半導体装置20は、面発光レーザチップ100およびSiサブマウント200がマイクロバンプ302および304の溶着によって互いに接着されていること、および紫外線硬化樹脂300を用いないことを除いては、半導体装置10と同様の構造を有する。

【0053】次に本発明の半導体装置の製造方法を図6および図7を参照しながら説明する。図6および図7は、本発明による半導体装置の製造方法の実施の形態2

のステップを示す図である。

【0054】図6のステップ(a)～(i)および図7のステップ(a)～(c)は、それぞれ図3のステップ(a)～(i)および図4のステップ(a)～(c)に対応する。したがって以下には、実施の形態1と異なる点を中心に説明する。

【0055】図6のステップ(c)において、配線204上に、マイクロバンプ304が形成され、図6のステップ(f)において、Ti/Au配線182上に、マイクロバンプ302が形成される。実施の形態2においては、マイクロバンプ302および304の材料としてヒスマス(Bi)を用いるが、これには限られず、GaAs基板102上に形成される半導体デバイスに悪影響を与えないだけ低い温度で溶着する金属であればよい。このことを考慮すれば、好ましくは、融点が200℃以下の低融点金属である。例えば、インジウム(In)を用いたマイクロバンプであってもよい。いずれの金属をマイクロバンプ302および304の材料として用いるときでも、図6のステップ(h)においては、用いられる材料が溶着する温度に加熱すればよい。また、BiまたはInを用いたマイクロバンプは、面発光レーザチップあるいはSiサブマウントのどちらか一方にしかなくてもよい。

【0056】実施の形態1においては、紫外線硬化樹脂300に紫外線を照射させることによって面発光レーザチップ100およびSiサブマウント200を接着したが、実施の形態2は、図6のステップ(h)において、マイクロバンプ302および304を加熱して溶着させることによって面発光レーザチップ100およびSiサブマウント200を接着する。面発光レーザチップ100およびSiサブマウント200は、互いに近接する向きの圧力が加えられながら、加熱される。加熱は、マイクロバンプ302および304が溶着するような温度および時間の条件でおこなう。実施の形態2においては、圧力約 $3 \times 10^4 \text{ N/m}^2$ を加えながら、温度約150℃において、約5分のあいだ加熱すれば、マイクロバンプ302および304は、互いに溶着し、電氣的に接続される。マイクロバンプ302および304の間の良好な導電性を実現するためには、以下の条件が満たされることが好ましい。

【0057】

圧力：約 $3 \times 10^4 \text{ N/m}^2$ ～約 $7 \times 10^6 \text{ N/m}^2$ 、

温度：約130℃～約200℃、および

時間：約20秒～約10分。

【0058】図6のステップ(i)においては、面発光レーザチップ100およびSiサブマウント200の、互に対向しあう面を保護するために、レジスト301が塗布される。レジスト301は、面発光レーザチップ100およびSiサブマウント200を接着するためのものではないので、紫外線硬化樹脂である必要はない。

【0059】図7のステップ(c)においては、レジスト

301を、典型的には、アセトンを用いて除去する。レジスト301を除去したあとの空間を充填し、デバイスを保護するためには、その空間に、例えば、ポリイミドを注入すればよい。

【0060】実施の形態2においても実施の形態1と同様、多数の面発光レーザチップの裏面に、成膜、エッチング、パターニングおよび洗浄のうちの少なくとも1つを同時にこなうことができる。

【0061】（実施の形態3）実施の形態3は、実施の形態1の図4のステップ(a)～(c)において裏面ガイド穴106を形成する代わりに、GaAs基板102上にフレネルレンズ110を形成する点以外は、実施の形態1と同様である。したがって実施の形態1と異なる点を中心に説明する。

【0062】図8は、本発明による方法の実施の形態3によって製造された半導体装置30の斜視図である。Siサブマウント200上には、紫外線硬化樹脂300によってGaAs基板102が接着されており、GaAs基板102上には、フレネルレンズ110が形成されている。

【0063】図9は、本発明による方法の実施の形態3によって製造された半導体装置30の断面図である。

【0064】面発光レーザチップ100の裏面のGaAs基板102上には、フレネルレンズ110が面発光レーザ120の中心と一致するように形成されている。面発光レーザ120の出射されたレーザ光は、フレネルレンズ110によって回折され、GaAs基板102から所望の距離だけ離れた点において集光される。したがってこの集光点に光ファイバ、フォトディテクタなどを配置すれば、出力されたレーザ光を高効率で光ファイバに結合したり、検知したりすることができる。

【0065】実施の形態3は、実施の形態1における図3のステップ(i)の面発光レーザチップ100の裏面のエッチング後に、フレネルレンズ110を形成する。具体的には、まず、図3のステップ(i)のエッチングが施された面上にPMMA（ポリメタクリル酸メチル）を塗布する。次に、フレネルレンズ110が形成されるように、電子線を照射することによって、PMMAを感光させる。その後、飽和臭素水およびアルコールの混合液によってエッチングをおこなうフレネルレンズ110を構成する溝を形成する。

【0066】なお、実施の形態3において、フレネルレンズ110の形成には飽和臭素水およびアルコールの混合液を用いたが、これには限られない。例えば、硫酸、過酸化水素水および水の混合液や、アンモニア、過酸化水素水および水の混合液を用いてもよい。さらに、このようなウエットエッチングでなく、塩素系ガスを用いたドライエッチングであってもよい。

【0067】図8および図9には、面発光レーザチップ100のうちの一つだけを示しているが、実施の形態1

と同様に多数個の半導体チップを同時に処理することによって、製造の効率を向上できる。

【0068】（実施の形態4）本発明の半導体装置の製造方法の実施の形態4を図3および図10を参照しながら説明する。図10は、本発明による半導体装置の製造方法の実施の形態4のステップを示す図である。以下には、実施の形態1と異なる点を中心に説明する。

【0069】まず図3のステップ(a)～(i)をおこなう。図3のステップ(i)において、実施の形態1と異なり、面発光レーザチップ100のGaAs基板102は、その厚さが約100μmになるように、硫酸、過酸化水素水および水の混合液でエッチングされる。

【0070】実施の形態1と同様に、次のステップである図10のステップ(a)に移る前に、ここで、実装された面発光レーザチップ100の特性を検査することが好ましい。

【0071】図10のステップ(a)において、面発光レーザチップ100の裏面にSiO<sub>2</sub>膜310を堆積する。

【0072】図10のステップ(b)において、レジスト312を面発光レーザ120の中心と一致させてパターニングをおこなう。それからSiO<sub>2</sub>膜310にレジスト312の形状を四フッ化炭素(CF<sub>4</sub>)ガスで転写する。

【0073】図10のステップ(c)において、パターニングされたSiO<sub>2</sub>膜310をマスクとして、塩素ガスを用いた反応性イオンエッチングをおこない、GaAs基板102を約15μmエッチングする。

【0074】図10のステップ(d)において、最終的に、高さ約15μmの裏面突起314が得られる。

【0075】裏面突起314を用いれば、予め切断面から15μmだけコアを除去した光ファイバの、面発光レーザチップ100への結合が高精度で、かつアライメントフリーで実現される。

【0076】図10の裏面突起314の形状は、好ましくは、円錐台である。形状が円錐台であることによって、光ファイバを容易、かつ正確に面発光レーザチップ100の所望の位置へガイドできる。

【0077】図10においては、1つの面発光レーザチップ100について、1つの裏面突起314が形成されているが、1つの面発光レーザチップ100について、複数の裏面突起を設けてもよい。

【0078】（実施の形態5）本発明の半導体装置の製造方法を図11および図12を参照しながら説明する。図11および図12は、本発明による半導体装置の製造方法の実施の形態5のステップを示す図である。図11のステップ(a)～(i)は、それぞれ図3のステップ(a)～(i)に対応する。したがって以下には、実施の形態1と異なる点を中心に説明する。

【0079】図11のステップ(a)において、まずSi



基板202上にフォトダイオード320が形成される。図11のステップ(c)においては、フォトダイオード320も覆われるように紫外線硬化樹脂300が塗布される。

【0080】図11のステップ(b)~(i)は、以下の点を除いて図3の(b)~(i)と同様におこなわれる。すなわち、図11のステップ(i)においては、面発光レーザチップ100のGaAs基板102は、エッチングストップ層104まで、硫酸、過酸化水素水および水の混合液によってエッチングされる。

【0081】実施の形態1と同様に、次の工程に移る前にここで、実装された面発光レーザチップ100の特性を検査することが好ましい。

【0082】図12のステップ(a)において、面発光レーザチップ100の裏面にSiO<sub>2</sub>膜310を堆積する。

【0083】図12のステップ(b)において、レジスト322をパターンニングする。この時、レジスト322の側壁に約45°の傾斜をつけておく。次に四フッ化炭素ガスによるドライエッチングで、SiO<sub>2</sub>膜310にレジスト322の形状を転写し、光導波路324を形成する。光導波路324の厚さ、つまりSiO<sub>2</sub>膜310の厚さは、好ましくは、約0.01μm~約10μmである。また光導波路324の幅は、好ましくは、約3μm~約50μmである。光導波路324は、SiO<sub>2</sub>膜によって形成されているが、これには限られず、GaAs基板104よりも屈折率が大きい材料であって、レーザ光を導波しやすい材料であればよい。例えば、有機物材料ならポリイミド、半導体材料ならAlGaAsであってもよい。

【0084】図12のステップ(c)において、レジスト322の端面は上述のように約45°の傾斜を有するため、四フッ化炭素ガスによるドライエッチング後は、結局、光導波路324の端面も約45°の傾斜を有することになる。ここで光導波路324の45°の傾斜を持った端面は、面発光レーザ120に面しており、もう一方の端面はフォトダイオード320に面している。

【0085】光導波路324は、面発光レーザチップ100の裏面に面発光レーザ120と対向するように形成されている。その結果、面発光レーザ120からの光を導波させ、フォトダイオード320に入射させる。面発光レーザ120から出射されたレーザ光は、エッチングストップ層104を透過して、光導波路324の端面に入射する。この端面は約45°の傾斜を有しているので光の一部は反射されて光導波路324中を導波し、残りは外部に出射される。導波されるレーザ光は、光導波路324のもう一方の端面に到達し、そこで導波光の一部は再び反射されて、フォトダイオード320に入射する。このフォトダイオード320からの信号をSiサプマウント200を通じて取り出し、面発光レーザ120

にフィードバックをかければ、面発光レーザ120が出力するレーザ光を強さ一定に保つような制御をすることができる。

【0086】なお、本実施の形態におけるレジスト322および光導波路324の端面の角度は、約45°の傾斜を有する。しかし面発光レーザから出射されたレーザ光の一部が光導波路324の端面で反射して光導波路中を伝搬すればよいので、90°でなければ他の角度であってもよい。ただし、好ましくは、光導波路324の端面の角度は、約30°~約70°の範囲である。

【0087】また図12では、1つのフォトダイオード320は、1つの面発光レーザ120からのレーザ光だけを受け取るが、これには限られない。例えば、あるフォトダイオードが複数の面発光レーザからのレーザ光を受け取るように光導波路を設ければ、複数の面発光レーザのレーザ光出力を全体としてフォトダイオードで検出できる。

【0088】(実施の形態6) 本発明の半導体装置の製造方法を図13を参照しながら説明する。図13は、本発明による半導体装置の製造方法の実施の形態6のステップを示す図である。以下には、実施の形態1と異なる点を中心に説明する。まず図13のステップ(a)~(i)をおこなう。図13のステップ(a)~(i)は、以下の点を除いて、それぞれ図3のステップ(a)~(i)に対応する。すなわち、実施の形態6においては、実施の形態1におけるGaAs基板102上に設けられていたエッチングストップ層104を形成しないこと、および図13のステップ(j)をおこなうことが実施の形態1と異なる。GaAs基板102によるレーザ光の吸収、散乱がそれほど大きくなく、GaAs基板102を完全に除去する必要がない場合には、エッチングストップ層104を設けずに、時間制御でGaAs基板102除去のためのエッチングをおこない、はじめの厚さの1/10程度のGaAs基板102を残しておけばよいからである。

【0089】次に図13のステップ(i)の後におこなわれるステップ(j)において、面発光レーザチップ100の裏面に反射防止膜330を堆積する。

【0090】本実施の形態によれば、反射防止膜330がレーザ光の出射面である裏面に形成されているため、基板裏面での光の反射が抑制され、効率よくレーザ光を取り出すことができる。また、レーザ光の活性層への戻り光が低減され、戻り光ノイズやブラッグ反射器と基板裏面との間に生じる外部共振器モードの影響を除外することができる。

【0091】(実施の形態7) 図14は、本発明による方法の実施の形態7によって製造された半導体装置70のうちの1つの面発光レーザチップ100の近傍の断面図である。半導体装置70の構成要素のうち、実施の形態1による装置の要素とは異なるものを中心に以下に説明する。

【0092】半導体装置70は、Siサブマウント200上に設けられたSEL/HBTチップ500を含む。SEL/HBTチップ500は、同一のGaAs基板102上に設けられた面発光レーザ530およびヘテロ接合バイポーラトランジスタ540を含む。

【0093】ヘテロ接合バイポーラトランジスタ540のエミッタ542、ベース544およびコレクタ546は、この順番でGaAs基板102上に堆積されている。コレクタ546上には、面発光レーザ530のn型ブラッグ反射器160、活性層140、p型ブラッグ反射器130および電極170がこの順番で堆積されている。ヘテロ接合バイポーラトランジスタ540のコレクタ546は、面発光レーザ530のn型ブラッグ反射器160に電気的に接続されている。これによりヘテロ接合バイポーラトランジスタ540のベース544に入力された電気信号は、ヘテロ接合バイポーラトランジスタ540によって増幅されてから、面発光レーザ530に供給される。したがって入力された電気信号の増幅から、レーザ光の出射までを半導体装置70でおこなうことができる。

【0094】フリップチップ実装の際には、SEL/HBTチップ520がSiサブマウント200に接触しないように、マイクロバンプ180、ベースマイクロバンプ550およびコモンカソードマイクロバンプ560が形成されている。電極170およびマイクロバンプ180は、Ti/Au配線182によって電気的に接続されている。またベース544およびベースマイクロバンプ550も、Ti/Au配線182によって電気的に接続されている。GaAs基板102は、その厚さが約100 $\mu$ mになるようにエッチングによって削られている。

【0095】本発明の半導体装置の製造方法を図15を参照しながら説明する。図15は、本発明による半導体装置の製造方法の実施の形態7のステップを示す図である。以下には、実施の形態1と異なる点を中心に説明する。図15のステップ(a)~(i)は、以下の点を除いて、それぞれ図3のステップ(a)~(i)に対応する。

【0096】実施の形態7においては、実施の形態1におけるGaAs基板102上に設けられていたエッチングストップ層104を形成しない。

【0097】図15のステップ(e)において、マイクロバンプ180、SEL/HBT520、ベースマイクロバンプ550およびコモンカソードマイクロバンプ560をGaAs基板102上に形成し、さらにそれらの上に電極170を形成する。

【0098】実施の形態1と異なり、図15の(i)において、GaAs基板102は、その厚さが約100 $\mu$ mになるようにエッチングをおこなう。GaAs基板102の厚さを薄くすることによって、出射されるレーザ光がGaAs基板102中で、散乱、吸収されることによる影響を低減でき、その結果、高い効率でレーザ光を取

り出すことができる。

【0099】(実施の形態8)本発明の半導体装置の製造方法を図16および図17を参照しながら説明する。図16および図17は、本発明による半導体装置の製造方法の実施の形態8のステップを示す図である。実施の形態8は、実施の形態2のBiを用いたマイクロバンプの代わりに金(Au)を用いたマイクロバンプによって電気的接続を実現している点、および面発光レーザチップの実装の後で、半導体チップの裏面に原子層接合技術によって膜の堆積をおこなう点で、実施の形態1と異なる。

【0100】図16のステップ(a)において、Si基板1601に前処理を施す。前処理としては、例えば、アセトンなどの有機溶剤による洗浄がある。

【0101】図16のステップ(b)において、Si基板1601上にAu層を含む層を有する配線1602を所望の形状に形成し、Siサブマウント1603を形成する。

【0102】図16のステップ(c)において、GaAs基板1604上にn型ブラッグ反射器1605を分子線エビタキシー法(MBE)または有機金属気相成長法(MOVPE)により成長する。実施の形態1でも述べたようにn型ブラッグ反射器1605は、n型の導電型をもち、かつ屈折率が互いに異なる2種類の材料を複数層積層したものである。

【0103】図16のステップ(d)において、n型ブラッグ反射器1605上にAuバンプ1606を形成する。このAuバンプ1606をマスクとしながら、塩素ガスおよびアルゴンガスの混合ガスを用いたドライエッチングによって、n型ブラッグ反射器1605およびAuバンプ1606を削り、GaAs基板1604に達するまでドライエッチングをおこなう。

【0104】図16のステップ(e)において、Siサブマウント1603およびGaAs基板1605の実装をおこなう。Siサブマウント1603を吸着台座1608に固定し、裏面を吸着ツール1607に真空吸着されたGaAs基板1603と対向させながら、位置合わせをおこなう。

【0105】図16のステップ(f)において、ステップ(e)での位置決め後、圧力を加えて、配線1602およびAuバンプ1606を電気的に接続する。圧力を加えたままSiサブマウント1603およびGaAs基板1604を約400°C以上に加熱し、配線1602とAuバンプ1606の間にAu-Au接合を形成する。Auバンプの代わりに、他の金属を用いたバンプによって電気的接続を実現してもよい。

【0106】n型ブラッグ反射器1605を保護するためにレジスト1609をn型ブラッグ反射器1605およびSiサブマウント1603の間に流し込んで硬化させる。

【0107】図16のステップ(q)において、硫酸、過酸化水素水および水の混合液によってGaAs基板1604を除去する。n型ブラッグ反射器1605の裏面の酸化膜をフッ酸により除去した後に、レジスト1609を除去する。図17の(a)は、図16のステップ(q)が終了した状態である。

【0108】図17のステップ(b)において、InP基板1704上にMOVPE法によってInGaAsP活性層1705を成長させる。

【0109】図17のステップ(c)において、n型ブラッグ反射器1702の実装されたSiサブマウント1701とInGaAsP活性層1705の成長されたInP基板1704とを互に対向させて密着させる。InP基板1704の裏面に重りとして数100gのモリブデンを載せる。この状態を保持したまま還元雰囲気中で約500℃以上に加熱し、n型ブラッグ反射器1702とInGaAsP活性層1705との原子層接着をおこなう。

【0110】図17のステップ(d)において、n型ブラッグ反射器1702を保護するためにSiサブマウント1701およびInGaAsP活性層1705の間にレジスト1706を流し込んで硬化させる。塩酸およびリン酸の混合液でInP基板1704を除去する。

【0111】図17のステップ(e)において、フッ酸でInGaAsP活性層の裏面に生じた酸化膜を除去した後、レジスト1706を除去する。

【0112】図17のステップ(f)において、GaAs基板1707上にMBE法またはMOVPE法によってp型ブラッグ反射器1708を成長させる。

【0113】図17のステップ(g)において、図17のステップ(c)と同様に、InGaAsP活性層1705およびn型ブラッグ反射器1703が実装されたSiサブマウント1701とGaAs基板1707とを対向させて密着させる。再び、GaAs基板1707の裏面に重りとして数100gのモリブデンを載せる(図示せず)。この状態を保持したまま還元雰囲気中で500℃以上に加熱し、InGaAsP活性層1705およびp型ブラッグ反射器1708の原子層接着をおこなう。

【0114】図17のステップ(h)において、n型ブラッグ反射器1702を保護するためにSiサブマウント1701およびInGaAsP活性層1705の間にレジスト1709を流し込んで硬化させる。

【0115】図17のステップ(i)において、硫酸、過酸化水素水および水の混合液でエッチングし、GaAs基板1707の厚さを100μm以下にする。

【0116】このように原子層接着技術を用いることにより、高反射率のブラッグ反射器により構成された光通信面発光レーザを製造することができる。これにより、しきい電流値の低減された光通信面発光レーザが実現される。

【0117】原子層接着技術を本発明による半導体装置の製造方法に適用することにより、面発光レーザ単体を原子層接合技術で製造する場合に比べ、一度に多数製造出来、かつ同一工程で原子層接続をおこなうので特性のばらつきの少ない面発光レーザを製造することができる。

【0118】実施の形態8において、原子層接合によって、面発光レーザ以外の異なる半導体素子、例えばレーザ光の強度を測定・制御するための受光素子を半導体チップの裏面に形成してもよい。これにより、例えば、面発光レーザと、レーザ光強度の制御のための受光素子とを一体化して同一のサブマウント上に形成できる。

【0119】なお、本実施の形態において、面発光レーザの活性層にInGaAsPを用いたが、InGaAs、GaInNAs、InGaNなどの半導体材料を用いてもよい。

【0120】さらに、以上全ての実施の形態においては、面発光レーザとSiサブマウントの組み合わせで説明してきたが、他の電子素子、例えば、電界効果トランジスタ、ヘテロ接合バイポーラトランジスタ、HEMT、MOSトランジスタをSiサブマウント上に実装してもよい。サブマウントの材質は、シリコン(Si)には限られず、例えば、ガラス、窒化アルミ(AlN)であってもよい。

【0121】また全ての実施の形態において、堆積される膜の厚さなどの具体的な条件は、特にことわりのない限り、例示的なものであって、それに限定されない。

【0122】

【発明の効果】本発明によれば、複数の半導体チップを同一のサブマウント上に実装した後に、半導体チップの基板裏面に同時に加工(成膜、エッチング、パターニングまたは洗浄)を施す。これにより、一度に多数の半導体チップの裏面に加工をおこなうことができる。したがって同一工程において多数の半導体チップを処理することになり、個々の半導体チップの特性の均一化とともに、半導体チップの裏面処理の低コスト化が実現できる。

【0123】半導体チップの裏面に加工をおこなった後では、サブマウント上への実装が困難だった従来の技術に対して、本発明によれば、実装後に半導体チップの裏面の加工をおこなうためにサブマウント上への実装が容易になる。以上のことは、サブマウントが半導体チップの大きさよりはるかに大きな場合に特に有効である。

【図面の簡単な説明】

【図1】本発明による方法の実施の形態1によって製造された半導体装置10の概略図である。

【図2】本発明による方法の実施の形態1によって製造された半導体装置10のうちの1つの面発光レーザチップ100の近傍の断面図である。

【図3】本発明による半導体装置の製造方法の実施の形

19

態 1 のステップを示す図である。

【図 4】本発明による半導体装置の製造方法の実施の形態 1 のステップを示す図である。

【図 5】本発明による方法の実施の形態 2 によって製造された半導体装置 20 のうちの 1 つの面発光レーザチップ 100 の近傍の断面図である。

【図 6】本発明による半導体装置の製造方法の実施の形態 2 のステップを示す図である。

【図 7】本発明による半導体装置の製造方法の実施の形態 2 のステップを示す図である。

【図 8】本発明による方法の実施の形態 3 によって製造された半導体装置 30 の斜視図である。

【図 9】本発明による方法の実施の形態 3 によって製造された半導体装置 30 の断面図である。

【図 10】本発明による半導体装置の製造方法の実施の形態 4 のステップを示す図である。

【図 11】本発明による半導体装置の製造方法の実施の形態 5 のステップを示す図である。

【図 12】本発明による半導体装置の製造方法の実施の形態 5 のステップを示す図である。

【図 13】本発明による半導体装置の製造方法の実施の形態 6 のステップを示す図である。

【図 14】本発明による方法の実施の形態 7 によって製造された半導体装置 70 のうちの 1 つの面発光レーザチップ 100 の近傍の断面図である。

【図 15】本発明による半導体装置の製造方法の実施の \*

20

\* 形態 7 のステップを示す図である。

【図 16】本発明による半導体装置の製造方法の実施の形態 8 のステップを示す図である。

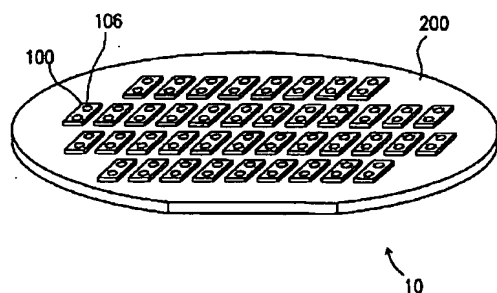
【図 17】本発明による半導体装置の製造方法の実施の形態 8 のステップを示す図である。

【図 18】従来の技術による半導体装置製造方法を示す工程断面図である。

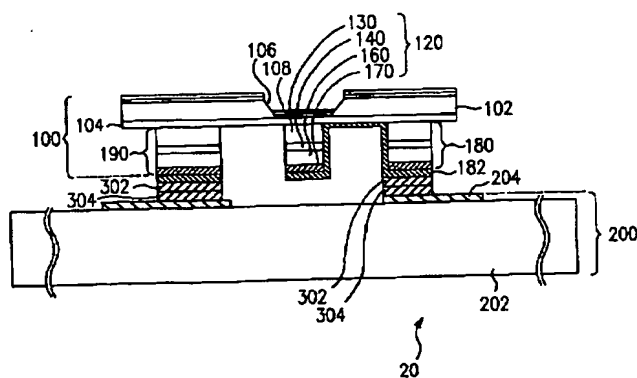
【符号の説明】

- |     |            |
|-----|------------|
| 100 | 面発光レーザチップ  |
| 102 | GaAs 基板    |
| 104 | エッチングストップ層 |
| 120 | 面発光レーザ     |
| 124 | 結晶成長層      |
| 170 | 電極         |
| 180 | マイクロバンプ    |
| 182 | Ti/Au 配線   |
| 190 | マイクロバンプ    |
| 200 | Si サブマウント  |
| 202 | Si 基板      |
| 204 | 配線         |
| 300 | 紫外線硬化樹脂    |
| 400 | 吸着ツール      |
| 402 | 吸気口        |
| 410 | 吸着台座       |
| 412 | 吸気口        |

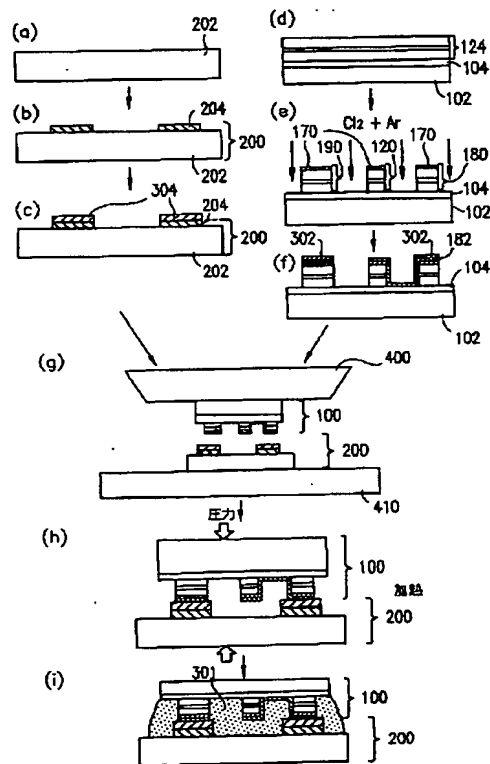
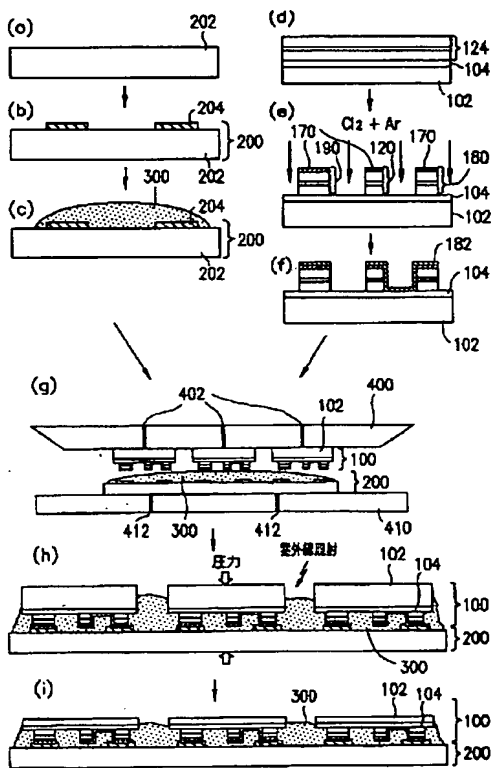
【図 1】



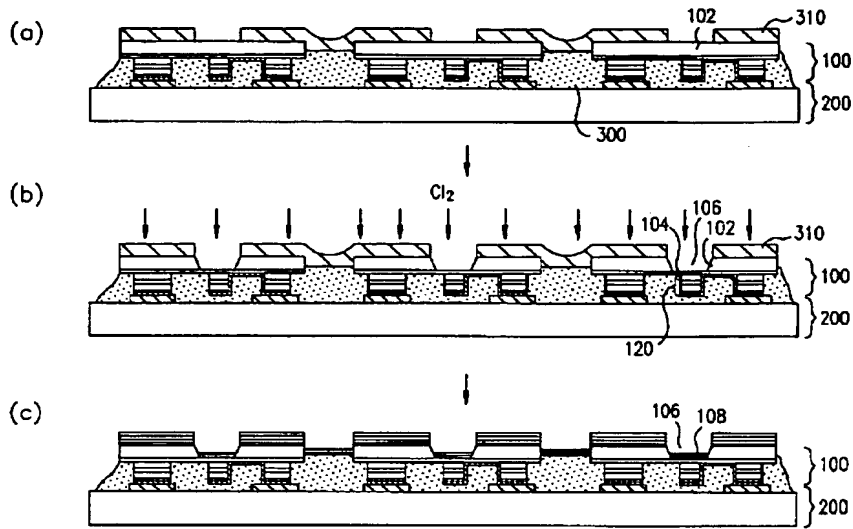
【図 5】



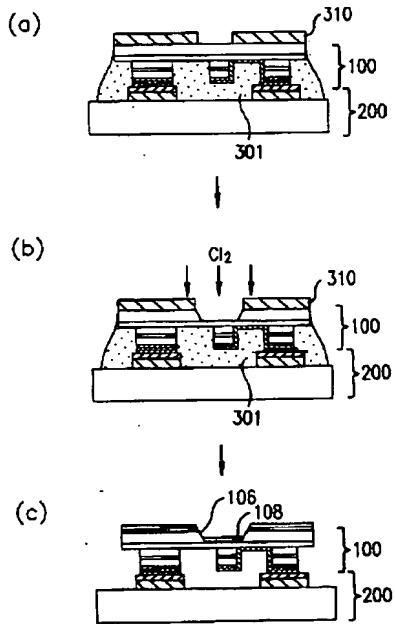
【図6】



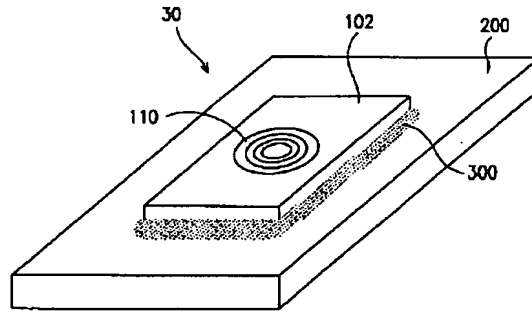
【図 4】



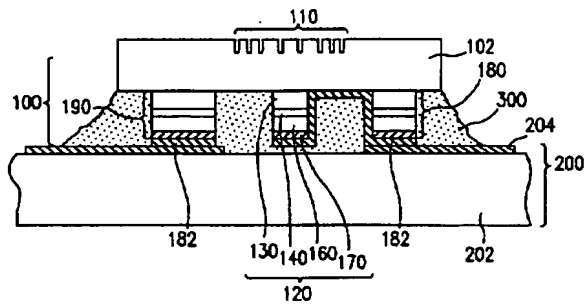
【図 7】



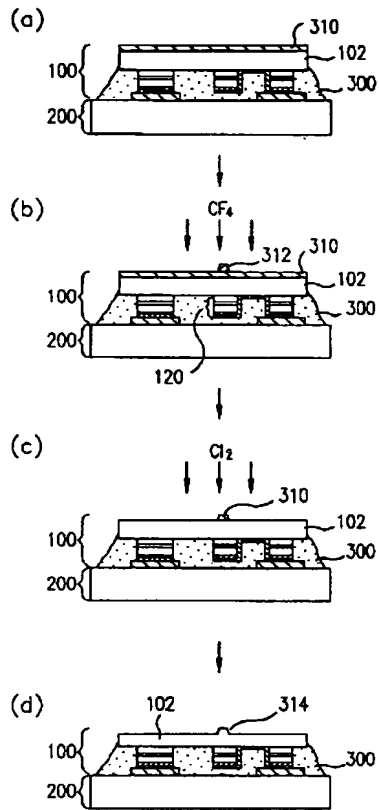
【図 8】



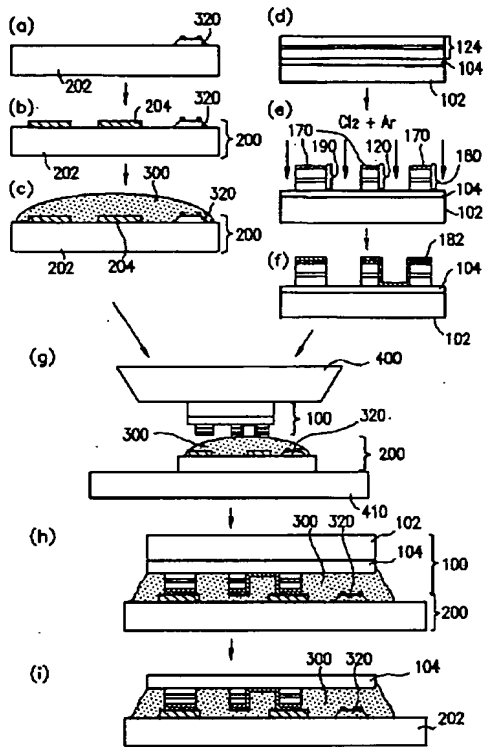
【図 9】



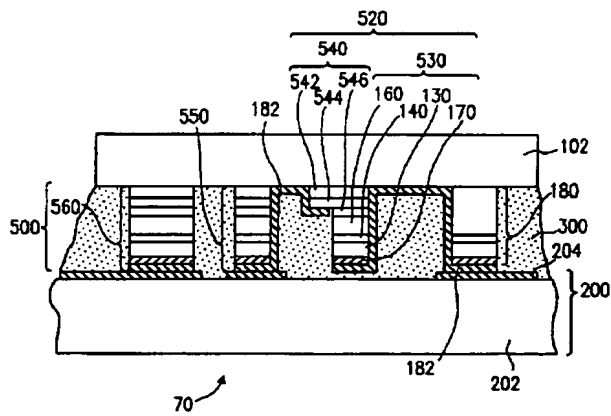
【図10】



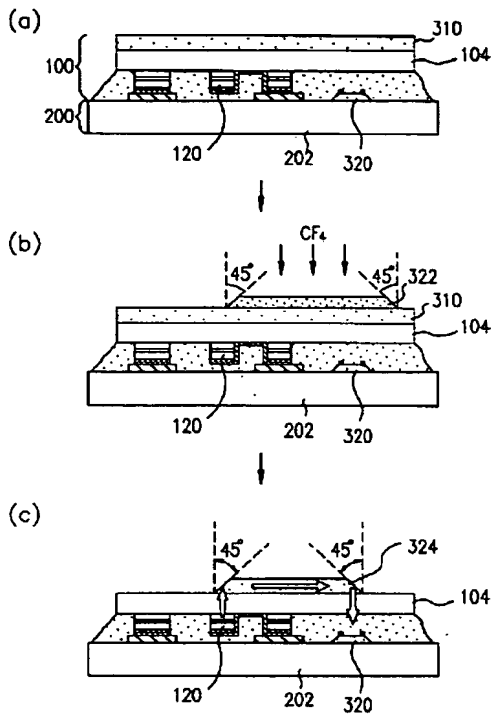
【図11】



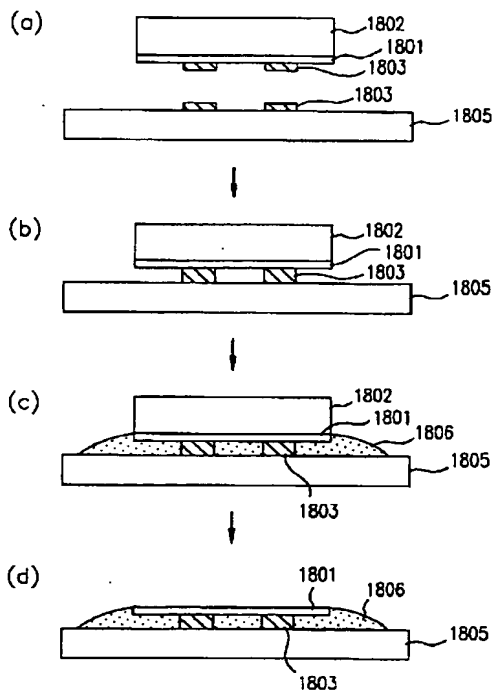
【図14】



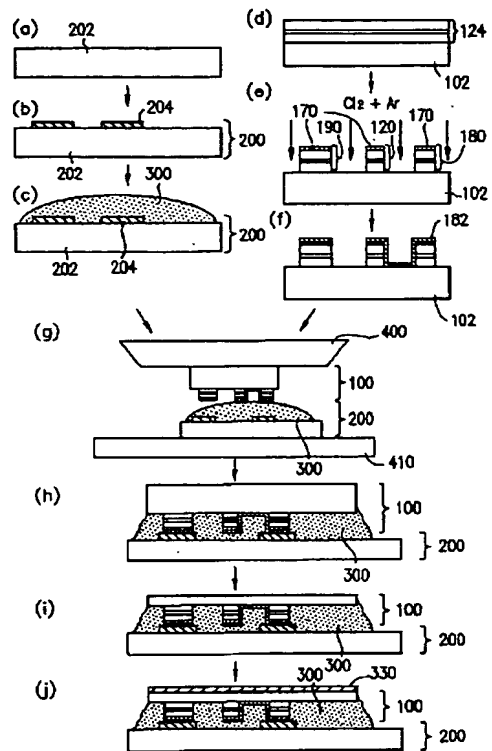
【図12】



【図18】

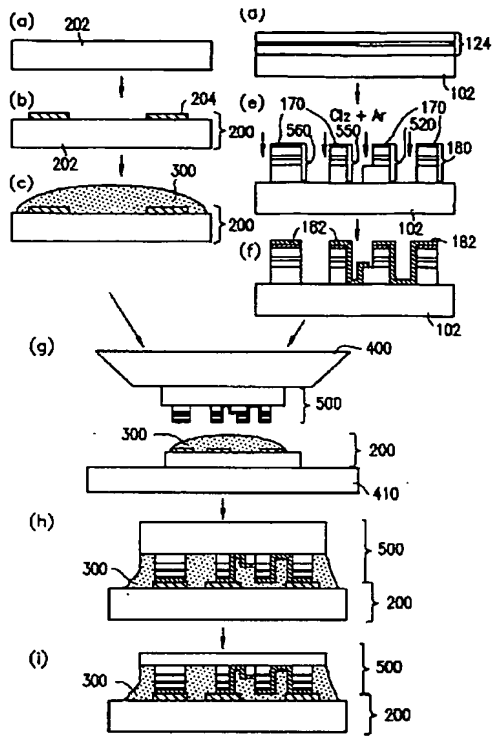


【図13】

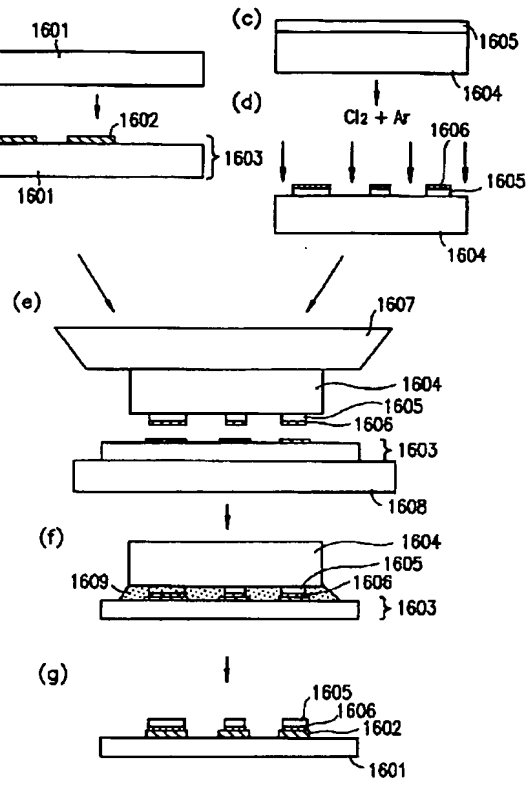




【図15】



【図16】



【図17】

